

NONVOLATILE MEMORY DEVICE AND MEMORY CONTROL METHOD THEREOF

Publication number: JP2002342147 (A)

Publication date: 2002-11-29

Inventor(s): SAITO DAIIRO; HASEBE TAKASHI

Applicant(s): KONISHIROKU PHOTO IND

Classification:

- international: G06F12/16; G06F12/00; G11C16/02; G06F12/16; G06F12/00; G11C16/02; (IPC1-7): G06F12/00; G06F12/16; G11C16/02

- European:

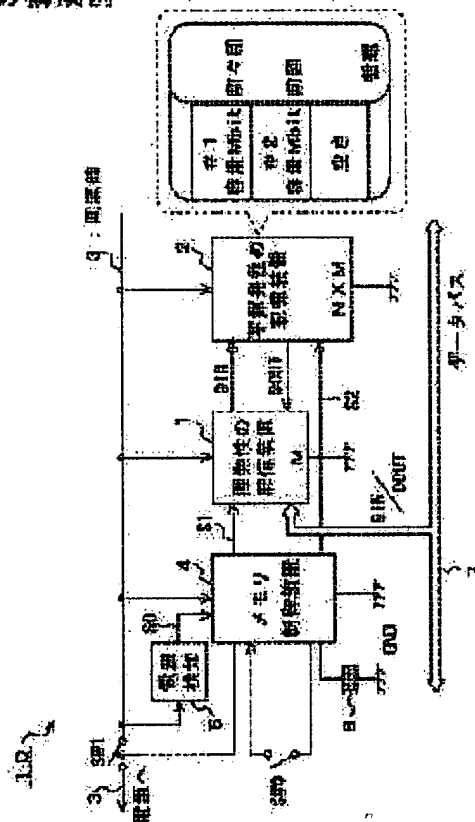
Application number: JP20010149700 20010518

Priority number(s): JP20010149700 20010518

Abstract of JP 2002342147 (A)

PROBLEM TO BE SOLVED: To change a memory area of an information save destination of a nonvolatile storage device according to power off each time, and also to substantially more extend service life as a nonvolatile memory device than a conventional system. **SOLUTION:** A volatile memory device 1 having prescribed memory capacity, the nonvolatile memory device 2 having N times as large memory capacity as the volatile memory device 1, and a memory controller 4 for controlling writing and reading of information between the memory devices 1 and 2 on the basis of power on and power off, the memory area of the memory device 2 is divided into N pieces of memory block areas corresponding to the memory capacity of the memory device 1, and information of the memory device 1 when the power is turned off is saved into a designated memory block area by designating the memory block area so as to circulate the memory block areas.

実施形態としての不揮発性記憶装置 1 の構成例



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-342147

(P2002-342147A)

(43) 公開日 平成14年11月29日 (2002.11.29)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 0 6 F 12/00	5 4 2	G 0 6 F 12/00	5 4 2 L 5 B 0 1 8
12/16	3 1 0	12/16	3 1 0 M 5 B 0 2 5
	3 4 0		3 4 0 Q 5 B 0 8 2
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 C

審査請求 未請求 請求項の数17 O L (全 12 頁)

(21) 出願番号 特願2001-149700(P2001-149700)

(22) 出願日 平成13年5月18日 (2001.5.18)

(71) 出願人 000001270

コニカ株式会社

東京都新宿区西新宿1丁目26番2号

(72) 発明者 斎藤 大二郎

東京都八王子市石川町2970番地 コニカ株式会社内

(72) 発明者 長谷部 孝

東京都八王子市石川町2970番地 コニカ株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外1名)

最終頁に続く

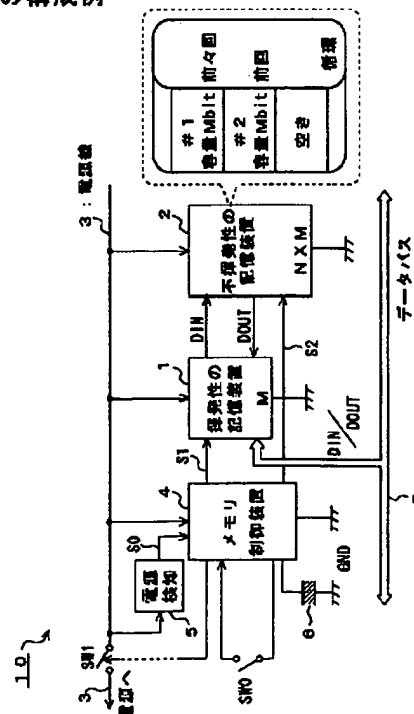
(54) 【発明の名称】 不揮発性記憶装置及びそのメモリ制御方法

(57) 【要約】

【課題】 不揮発性の記憶装置の情報退避先のメモリ領域を電源断に従って毎回変更できるようにすると共に、従来方式に比べて不揮発メモリ装置としての寿命を実質的に延長できるようにする。

【解決手段】 所定のメモリ容量を有する揮発性の記憶装置1と、この記憶装置のN倍のメモリ容量を有する不揮発性の記憶装置2と、電源投入及び電源断に基づいて記憶装置1及び記憶装置2の間で情報の書込み読み出し制御をするメモリ制御装置4とを備え、記憶装置2のメモリ領域が記憶装置1のメモリ容量に対応したN個のメモリブロック領域に分割され、このメモリブロック領域を循環するように指定して電源断時の記憶装置1の情報を指定されたメモリブロック領域に退避させるものである。

実施形態としての不揮発性記憶装置10の構成例



【特許請求の範囲】

【請求項1】 所定のメモリ容量を有すると共に、記憶保持用の電源が供給される間は情報の随時書込み読出しが可能な揮発性の第1の記憶装置と、前記第1の記憶装置のN倍のメモリ容量を有すると共に、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性の第2の記憶装置と、電源投入及び電源断に基づいて前記第1及び第2の記憶装置の間で情報の書込み読出し制御をするメモリ制御装置とを備え、前記メモリ制御装置は、前記第2の記憶装置のメモリ領域が前記第1の記憶装置のメモリ容量に対応したN個のメモリブロック領域に分割される場合であって、分割されたN個の前記メモリブロック領域を循環するように指定して電源断時の第1の記憶装置に記憶された情報を指定されたメモリブロック領域に退避させることを特徴とする不揮発性記憶装置。

【請求項2】 前記メモリ制御装置は、電源投入及び電源断を検知し、前記電源投入から電源断に至る間は第2の記憶装置への情報書込みを禁止する書込み不可モードを設定し、前記電源断の検知に基づいて第2の記憶装置への情報書込みを許可する書込みモードを設定することを特徴とする請求項1に記載の不揮発性記憶装置。

【請求項3】 前記電源投入及び電源断を検知する電源検知手段を備え、前記メモリ制御装置は、前記電源検知手段によって電源断が検知されたとき、前記第1の記憶装置に記憶された情報を指定されたメモリブロック領域に退避させた後に、当該不揮発性記憶装置への供給電源を実際にオフすることを特徴とする請求項1に記載の不揮発性記憶装置。

【請求項4】 前記電源検知手段は、電源線の電位と基準電圧とを比較して電源断を検知する第1の機能又は／及び手動スイッチのオフ動作を検知する第2の機能を有することを特徴とする請求項1に記載の不揮発性記憶装置。

【請求項5】 電源瞬断時の前記第1の記憶装置から第2の記憶装置へ情報を退避させる動作電力を賄う蓄電手段が備えられることを特徴とする請求項1に記載の不揮発性記憶装置。

【請求項6】 前記蓄電手段は、前記電源投入から電源断に至る間に蓄電されることを特徴とする請求項5に記載の不揮発性記憶装置。

【請求項7】 前記メモリ制御装置は、電源投入が検知されたとき、前記第2の記憶装置のメモリブロック領域に前回退避して置いた情報を第1の記憶装置に読み出すことを特徴と

する請求項1に記載の不揮発性記憶装置。

【請求項8】 前記第2の記憶装置のメモリブロック領域を選択するブロック選択手段と、前記情報を退避したメモリブロック領域の履歴を管理する制御装置とを備え、前記制御装置は、前記最新に情報を退避したメモリブロック領域を選択するように前記ブロック選択手段を制御することを特徴とする請求項1に記載の不揮発性記憶装置。

【請求項9】 前記メモリ制御装置は、電源瞬断後、前記電源投入が検知されたとき、前記第2の記憶装置のメモリブロック領域に前回退避して置いた情報を第1の記憶装置に読み出すことを特徴とする請求項1に記載の不揮発性記憶装置。

【請求項10】 所定のメモリ容量を有すると共に、記憶保持用の電源が供給される間は情報の随時書込み読出しが可能な揮発性の第1の記憶装置と、前記第1の記憶装置のN倍のメモリ容量を有すると共に、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性の第2の記憶装置とを備えた不揮発性記憶装置のメモリ制御方法であって、前記第2の記憶装置のメモリ領域を前記第1の記憶装置のメモリ容量に対応してN個のメモリブロック領域に分割し、分割された前記N個のメモリブロック領域を循環使用するように指定し、電源断時の前記第1の記憶装置に記憶された情報を指定された前記メモリブロック領域に退避することを特徴とする不揮発性記憶装置のメモリ制御方法。

【請求項11】 前記電源投入及び電源断を検知し、前記電源投入から電源断に至る間は第2の記憶装置への情報書込みを禁止する書込み不可モードを設定し、前記電源断の検知に基づいて第2の記憶装置への情報書込みを許可する書込みモードを設定することを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【請求項12】 手動スイッチのオフ動作により前記電源断が検知される場合であって、前記第1の記憶装置に記憶された情報を指定されたメモリブロック領域に退避させた後に、当該不揮発性記憶装置への電源供給を実際にオフすることを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【請求項13】 電源線の電位と基準電圧とを比較して電源断が検知される場合であって、電源瞬断検知時に、予め備えられた蓄電手段の動作電力を使用して前記第1の記憶装置から第2の記憶装置へ情報を退避させるようにしたことを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【請求項14】 前記電源投入を検知したとき、前記第2の記憶装置のメモリブロック領域に前回退避し

て置いた情報を第1の記憶装置に読み出すことを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【請求項15】 前記情報を退避したメモリブロック領域の履歴を管理することを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【請求項16】 前記電源断及び／又は電源瞬断検知に応じて前記情報を退避させた第2の記憶装置のメモリブロック領域を任意に選択することを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【請求項17】 電源瞬断後、前記電源投入を検知したとき、前記第2の記憶装置のメモリブロック領域に前々回退避して置いた情報を第1の記憶装置に読み出すことを特徴とする請求項10に記載の不揮発性記憶装置のメモリ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能で、しかも、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発メモリ装置に適用して好適な不揮発性記憶装置及びそのメモリ制御方法に関するものである。

【0002】

【従来の技術】近年、据置き型や携帯型のコンピュータ等の情報処理装置では電源を切っても情報内容が消去されない不揮発性の半導体記憶装置が使用される場合が多くなってきた。この種の不揮発性記憶装置に関してはバックアップ電源不要なフラッシュメモリやEEPROM（電氣的に情報消去及びプログラムが可能な読み出し専用メモリ）等及び、バックアップ電源が必要なスタティックRAM（以下でSRAMという）が挙げられる。

【0003】フラッシュメモリやEEPROM等はバックアップ電源を供給しなくてもその情報内容が保持できるため、不揮発性記憶装置として有効な手段である。しかしながら、このフラッシュメモリやEEPROM等には書き込み回数が約10万回という制限がある。一方、SRAMは書き込み回数制限がない記憶装置であるが、その情報内容を保持するために常時バックアップ用の電源を供給して置く必要がある。

【0004】また、技術文献である公開特許公報（特開平5-081148号）にはEEPROM及びSRAMの長所を組み合わせた不揮発メモリ装置が記載されている。これによれば、EEPROMとSRAMをワンチップ化してマルチ・チップパッケージ（MCP）を構成し、このフラッシュメモリとほぼ同じような特性を持つEEPROMについて、その寿命を延ばすためにSRAMを組み合わせ使用し、そのSRAMの記憶内容に変更があった場合のみ、その電源断を検知した後にSRA

MデータをEEPROMに書き込むようになされる。

【0005】つまり、電源のONの間は不揮発メモリ装置のSRAM機能を使用し、電源OFFの間はEEPROM機能を利用して情報を保持するようになされる。再度電源がONとなるときは、EEPROMの保持内容をSRAMに書き出し、それ以降は通常動作に移行するようになされる。こうすることにより、EEPROMへの書き込みは電源断のときだけであり、寿命が延び、SRAMデータを保持する専用電源も不要になる。

【0006】

【発明が解決しようとする課題】ところで、従来方式の不揮発性記憶装置によれば、この不揮発メモリ装置としての寿命はEEPROM等への書き込み回数に依存している。従って、EEPROMの寿命よりも長い寿命を有した不揮発メモリ装置を構成することは困難である。

【0007】因みにSRAM（以下で揮発性の記憶装置ともいう）の数倍のメモリ容量を有するEEPROMを準備して電源断時に、SRAMデータをEEPROM（以下で不揮発性の記憶装置ともいう）のメモリ領域に退避する方法が考えられるが、何らの工夫無しにメモリ制御をすると、同じメモリ領域を連続して使用される事態が発生し、他のメモリ領域のセル消耗と歩調を合わせられなくなって、目標とする寿命が実質的に延びないという問題が生じる。

【0008】そこで、この発明は上述した課題を解決したものであって、不揮発性の記憶装置の情報退避先のメモリ領域を電源断に従って毎回変更できるようにすると共に、従来方式に比べて不揮発メモリ装置としての寿命を実質的に延長できるようにした不揮発性記憶装置及びそのメモリ制御方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決し、かつ、目的を達成するために本発明に係る不揮発性記憶装置は、所定のメモリ容量を有すると共に、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能な揮発性の第1の記憶装置と、この第1の記憶装置のN倍のメモリ容量を有すると共に、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性の第2の記憶装置と、電源投入及び電源断に基づいて第1及び第2の記憶装置の間で情報の書き込み読み出し制御をするメモリ制御装置とを備え、このメモリ制御装置は第2の記憶装置のメモリ領域が第1の記憶装置のメモリ容量に対応したN個のメモリブロック領域に分割される場合であって、分割されたN個のメモリブロック領域を循環するように指定して電源断時の第1の記憶装置に記憶された情報を指定されたメモリブロック領域に退避させることを特徴とするものである。

【0010】本発明に係る不揮発性記憶装置によれば揮発性の第1の記憶装置及び不揮発性の第2の記憶装置を備えた不揮発性記憶装置のメモリ制御をする場合に、第

2の記憶装置のメモリ領域が第1の記憶装置のメモリ容量に対応してN個のメモリブロック領域に分割される。これを前提にして、分割されたN個のメモリブロック領域を循環使用するようにメモリ制御装置により指定されると、電源断時の第1の記憶装置に記憶された情報が指定されたメモリブロック領域に退避するようになされる。

【0011】従って、電源断又は電源投入に基づいて第1及び第2の記憶装置の間で情報の書き込み読み出し制御をすることができる。しかも、第1の記憶装置の情報を退避する先のメモリブロック領域を電源断に従って毎回変更することができる。また、その特定のメモリブロック領域を連続して使用することが回避できるので、第2の記憶装置の書き込み回数を見かけ上N倍に増やすことができ、従来方式に比べて不揮発性記憶装置の寿命を実質的に長く延ばすことができる。電源を常時必要としない不揮発性記憶装置を構成できる。

【0012】本発明に係る不揮発性記憶装置のメモリ制御方法は、所定のメモリ容量を有すると共に、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能な揮発性の第1の記憶装置と、第1の記憶装置のN倍のメモリ容量を有すると共に、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性の第2の記憶装置とを備えた不揮発性記憶装置のメモリ制御方法であって、第2の記憶装置のメモリ領域を第1の記憶装置のメモリ容量に対応してN個のメモリブロック領域に分割し、ここで分割されたN個のメモリブロック領域を循環使用するように指定し、電源断時の第1の記憶装置に記憶された情報を指定されたメモリブロック領域に退避することを特徴とするものである。

【0013】本発明に係る不揮発性記憶装置のメモリ制御方法によれば、電源断又は電源投入に基づいて第1及び第2の記憶装置の間で情報の書き込み読み出し制御をすることができる。しかも、第1の記憶装置の情報を退避する先のメモリブロック領域を電源断に従って毎回変更することができる。

【0014】また、その特定のメモリブロック領域を連続して使用することが回避できるので、第2の記憶装置の書き込み回数を見かけ上N倍に増やすことができ、従来方式に比べて不揮発性記憶装置としての寿命を実質的に長く延ばすことができる。

【0015】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施形態としての不揮発性記憶装置及びそのメモリ制御方法について説明をする。

(1) 実施形態

図1は、本発明に係る実施形態としての不揮発性記憶装置10の構成例を示すブロック図である。この実施形態では、電源断又は電源投入に基づいて揮発性の第1の記

憶装置及び不揮発性の第2の記憶装置の間で情報の書き込み読み出し制御をするメモリ制御装置を備え、この第2の記憶装置のメモリ領域を第1の記憶装置のメモリ容量に対応してN個のメモリブロック領域に分割して情報を退避するようにし、第1の記憶装置の情報を退避する先のメモリブロック領域を電源断に従って毎回変更できるようにすると共に、従来方式に比べて不揮発性記憶装置としての寿命を実質的に延長できるようにしたものである。

【0016】図1に示す不揮発性記憶装置10は記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能で、しかも、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発メモリ装置に適用して好適である。不揮発性記憶装置10は揮発性の記憶装置(第1の記憶装置)1、不揮発性の記憶装置(第2の記憶装置)2、電源線3、メモリ制御装置4、電源検知手段5及び蓄電手段6を有している。

【0017】この電源線3には電源スイッチSW1が接続されると共に、記憶装置1、記憶装置2、メモリ制御装置4及び電源検知手段5が接続されている。電源スイッチSW1はリレー式であり、電源検出信号S0又は電源オフ情報に基づいてメモリ制御装置4によりそのオン・オフが制御されるものである。

【0018】この記憶装置1は所定のメモリ容量を有すると共に、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能なものである。記憶装置1にはSRAMやDRAM等が使用される。記憶装置1はデータバス7に接続される。

【0019】この記憶装置1には全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性の記憶装置2が接続されており、電源断期間中、記憶装置1の情報(以下でデータDINという)を退避してバックアップ保持するようになされる。この記憶装置2は記憶装置1のN倍のメモリ容量を有している。これは記憶装置2のメモリ領域をバンク構造として使用するためである。記憶装置2にはフラッシュEEPROM等が使用される。記憶装置2は直接記憶装置1に接続せず、データバス7を経由して接続してもよい。

【0020】記憶装置1及び記憶装置2にはメモリ制御装置4が接続され、電源投入及び電源断に基づいて記憶装置1及び記憶装置2の間でデータDINの書き込み読み出し制御をするようになされる。メモリ制御装置4は記憶装置1に書き込み読み出し制御信号S1を出力する。記憶装置2に書き込み読み出し制御信号S2を出力するようになされる。

【0021】この実施形態では記憶装置2のメモリ領域が記憶装置1のメモリ容量に対応したN個のメモリブロック領域に分割される。記憶装置2のメモリ領域をバン

ク構造として使用するためである。この場合、メモリ制御装置4はN個に分割されたメモリブロック領域を循環するように格納番号# i ($i=1\sim N$)を指定して電源断時の記憶装置1に記憶されたデータDINを指定されたメモリブロック領域に退避するようになされる。格納番号# i はメモリブロック領域毎に予め付与される。

【0022】このメモリ制御装置4には電源検知手段5が接続されており、電源投入及び電源断を検知して電源検出信号S0を出力するようになされる。電源検知手段5は電源線3の電位と基準電圧とを比較して電源断を検知する(第1の機能)。第1の機能を利用することで電源瞬断時の退避処理を行うことができる。もちろん、電源検知手段5は手動スイッチSW0のオフ動作を検知して電源オフ情報を出力するようなものでもよい(第2の機能)。

【0023】例えば、第2の機能をメモリ制御装置4に持たせる場合に、手動スイッチSW0をメモリ制御装置4に接続し、このスイッチSW0のオフ動作を直接、メモリ制御装置4で検知して電源オフ情報を得るようになされる。メモリ制御装置4では電源オフ情報を検出し、その検出時刻に遅れて電源スイッチSW1をオフさせることができる。この遅れ時間を利用してデータDINの退避処理を行うことができる。

【0024】メモリ制御装置4では書き込み不可モードや、書き込みモードが設定される。ここで書き込み不可モードとは電源投入から電源断に至る間は記憶装置2へのデータDINの書き込みを禁止する動作をいい、書き込みモードとは、電源断の検知に基づいて記憶装置2へのデータDINの書き込みを許可する動作をいう。記憶装置2は電源投入から電源断に至る間及び電源断した後は電源が全く通電されない。つまり、記憶装置2はデータDINを退避処理するとき、すなわち、電源断時と、データDOUTを読出処理するとき、すなわち、電源投入時に通電される。

【0025】メモリ制御装置4では電源検知手段5によって電源断が検知されたとき、記憶装置1に記憶されたデータDINを指定されたメモリブロック領域に退避させた後に、当該不揮発性記憶装置10への電源供給を実際にオフするようになされる。例えば、電源オフ情報に基づいてリレー式の電源スイッチSW1がメモリ制御装置4によってオフされる。

【0026】このメモリ制御装置4には蓄電手段6が接続され、電源瞬断時の記憶装置1から記憶装置2へデータDINを退避させる動作電力を賄うようになされる。この蓄電手段6には大容量のコンデンサが使用される。その際の動作電力は電源投入から電源断に至る間に電荷が蓄積され、この蓄積電荷をエネルギーとする。

【0027】メモリ制御装置4は電源投入を検知したとき、記憶装置2のメモリブロック領域に前回退避して置いたデータDINを記憶装置1に読み出すようになされる。また、電源瞬断後に、メモリ制御装置4で電源投入

を検知したときは、原則的に前回退避して置いたデータDINを記憶装置1に読み出すようになされるが、記憶装置2のメモリブロック領域に前々回退避して置いたデータDINを記憶装置1に読み出すようにしてもよい。

【0028】続いて、本発明に係る不揮発性記憶装置10のメモリ制御方法について説明をする。図2は不揮発性記憶装置10のメモリ制御例を示すフローチャートである。この実施形態では所定のメモリ容量を有すると共に、記憶保持用の電源が供給される間はデータDINの随時書き込み読出しが可能な揮発性の記憶装置1と、記憶装置1のN倍のメモリ容量を有すると共に、全ビットあるいはブロック単位にデータDINの一括消去が可能で、かつ、データDINのプログラムが可能な不揮発性の記憶装置2とを備えた不揮発性記憶装置10のメモリ制御をする場合を前提とする。

【0029】これを制御条件にして、まず、図2に示すフローチャートのステップA1で記憶装置2のメモリ領域を記憶装置1のメモリ容量に対応してN個のメモリブロック領域に分割する。この不揮発性記憶装置10では記憶装置2のメモリブロック領域を選択するためにブロック選択手段を備えるようになされる。前回又は前々回・・・等退避して置いたデータDINを電源「断」の状況に応じて選択的に読み出すためである。

【0030】そして、ステップA2でN個のメモリブロック領域を循環使用するようにメモリ制御装置4によって格納番号#($i=1\sim N$)を指定するようになされる。この循環使用は退避先のメモリブロック領域を毎回変更するためである。

【0031】その後、ステップA3で電源が「断」されたかを電源検知手段5により監視するようになされる。このとき、電源検知手段5では電源瞬断を検出する場合もあれば、ユーザによる手動スイッチSW0のオフ動作を検知する場合もある。

【0032】いずれにせよ電源が「断」された場合は、ステップA3で電源検知手段5によって電源検出信号S0又は電源オフ情報が得られるので、ステップA4に移行して指定された格納番号# i のメモリブロック領域にデータDINを退避するようになされる。

【0033】その後、ステップA5で電源が「投入」されたかを電源検知手段5により監視するようになされる。ステップA5で電源が「投入」された場合は、ステップA6に移行して前回退避して置いたメモリブロック領域からデータDINを読み出して記憶装置1に書き込むようになされる。そして、ステップA7に移行して指定番号が「+1」された後に、ステップA2に戻る。その後は、エンドレスループに移行する。

【0034】このように、本発明に係る実施形態としての不揮発性記憶装置10によれば、N個に分割されたメモリブロック領域を循環使用するようにメモリ制御装置4により指定されると、電源断時の記憶装置1に記憶さ

れたデータDINが指定されたメモリブロック領域に退避するようになされる。

【0035】従って、電源断又は電源投入に基づいて記憶装置1及び記憶装置2の間でデータDINの書き込み読み出し制御をすることができる。しかも、記憶装置1のデータDINを退避する先のメモリブロック領域を電源断に従って毎回変更することができる。また、その特定のメモリブロック領域を連続して使用することが回避できるので、記憶装置2の書き込み回数を見かけ上N倍に増やすことができ、従来方式に比べて不揮発性記憶装置10の寿命を実質的に長く延ばすことができる。

【0036】(2) 実施例

図3は本発明に係る実施例としてのワンチップ型の不揮発メモリ装置100の構成例を示すブロック図である。この実施例では不揮発性記憶装置10が応用され、少なくとも、揮発性の記憶装置(第1の記憶装置)、不揮発性の記憶装置(第2の記憶装置)、メモリ制御装置、電源検知手段及びブロック選択手段が同一基板上に集積化されてワンチップ型の不揮発メモリ装置100を構成するものである。

【0037】図3に示す不揮発メモリ装置100は情報の随時書き込み読み出しが可能で、しかも、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能なバックアップ電源不要のメモリである。不揮発メモリ装置100は半導体基板101を有している。この半導体基板101には揮発性の記憶装置(第1の記憶装置)の一例となるSRAM11、不揮発性の記憶装置(第2の記憶装置)の一例となるフラッシュEEPROM(以下で単にフラッシュメモリという：E²PROM)12、メモリ制御装置の一例となるメモリコントローラ14、電源検知手段の一例となる電源電圧変動検知センサ15及びブロック選択手段の一例となるバンクセレクタ16、制御装置の一例となる履歴管理ユニット17を各々の構成する半導体集積回路が形成され、これらの半導体集積回路がワンチップ化されている。

【0038】この不揮発メモリ装置100には電源端子13A及び接地端子13Bが設けられる共に、チップ内には電源線3が配線されている。この電源端子13Aには電源線3が接続され、電源端子13Aに接続される外部の電源線には図1で説明したような電源スイッチSW1が接続される。

【0039】電源スイッチSW1にはリレー式のものが使用され、電源検出信号S0又は電源オフ情報に基づいてメモリコントローラ14によりそのオン・オフが制御されるものである。このスイッチ制御信号S4は制御端子19を通じて外部に出力される。制御端子19は当該チップに設けられる。

【0040】チップ内部の電源線3にはSRAM11、フラッシュメモリ12、メモリコントローラ14及び電

源電圧変動検知センサ(以下で単に電源センサという)

15、バンクセレクタ16及び履歴管理ユニット17が接続されている。

【0041】このSRAM11は所定のメモリ容量(Mビット)を有すると共に、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能なものである。SRAM11は共通のデータバス7に接続される。データバス7はnビットのデータ端子D1~Dnに接続される。データ端子D1~Dnは当該チップに設けられる。

【0042】このSRAM11にはフラッシュメモリ12が接続されており、電源が「断」される度に、SRAM11の情報(以下でSRAMデータDINという)を退避し、電源断期間中、そのSRAMデータDINを無給電状態でバックアップ保持するようになされる。フラッシュメモリ12は全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性のメモリである。このフラッシュメモリ12はSRAM11のN倍のメモリ容量を有している。この例ではフラッシュメモリ12は直接SRAM11に接続せずデータバス7を経由して接続される。

【0043】SRAM11及びフラッシュメモリ12にはメモリコントローラ14が接続され、電源投入及び電源断に基づいてSRAM11及びフラッシュメモリ12の間でSRAMデータDINの書き込み読み出し制御をするようになされる。メモリコントローラ14はSRAM11に書き込み読み出し制御信号S1を出力し、フラッシュメモリ12には書き込み読み出し制御信号S2を出力する。これにより、電源投入及び電源断時にSRAMデータDINの復帰及び退避処理することができる。

【0044】また、メモリコントローラ14では書き込み不可モードや、書き込みモードが設定される。この書き込み不可モードが設定された場合は電源投入から電源断に至る間、フラッシュメモリ12へのSRAMデータDINの書き込みが禁止される。書き込みモードが設定された場合は、電源断の検知に基づいてフラッシュメモリ12へのSRAMデータDINの書き込みが行われる。

【0045】SRAMデータDINの書き込みは、初回書き込み時を除き、当該格納番号#1のメモリブロック領域のデータが一斉に消去された後に、新たなSRAMデータDINが書き込まれる。フラッシュメモリ12は電源投入から電源断に至る間及び電源を「断」した後は電源が全く通電されない。つまり、フラッシュメモリ12はSRAMデータDINを退避処理するとき、すなわち、電源断時と、SRAMデータDOUTを読み出処理(復帰)するとき、すなわち、電源投入時に通電される。

【0046】このメモリコントローラ14には電源センサ15が接続されており、電源投入及び電源断を検知して電源検出信号S0を出力するようになされる。電源センサ15は電源線3の電位と基準電圧とを比較して電源断を検知する。電源断時は電源の降下を検知し、電源投

入時はその上昇を検知する。

【0047】この機能を利用することで電源瞬断時の退避処理を行うことができる。メモリコントローラ14では電源センサ15によって電源断が検知されたとき、SRAM11に記憶されたSRAMデータDINを指定されたメモリバンクに退避させた後に、当該不揮発メモリ装置100への電源供給を実際にオフするようになされる。例えば、電源オフ情報に基づいて図示しないリレー式の電源スイッチSW1がメモリコントローラ14によってオフされる。

【0048】この実施例ではフラッシュメモリ12のメモリ領域がSRAM11のメモリ容量Mビットに対応したN個のメモリブロック領域(メモリバンク)に分割され、バンク構造として使用される。この分割は物理的な分割に限らず、利用上のMビット毎にその部分を選択できればよい。例えば、1個のメモリバンクは最小の消去可能単位である64kbyte(=512ビット)である。

【0049】この場合、メモリコントローラ14はN個に分割されたメモリバンクを循環するように格納番号*i* (*i*=1~N)を指定する。そして、電源断時のSRAM11に記憶されたSRAMデータDINを指定のメモリバンクに退避(複写)するようになされる。格納番号*i*はメモリバンク毎に予め付与される。この循環処理に関してはカウンタを設け、格納番地*i*に対して+1ずつ加算(インクリメント)するようになされる。

【0050】このチップには*n*個のアドレス端子A1~Anが設けられ、このアドレス端子A1~Anにはアドレス線21が接続される。アドレス線21にはバンクセクタ16が接続され、フラッシュメモリ12にバンクイネーブル信号S3を出力してメモリバンクを選択するようになされる。バンクセクタ16はアドレスデコーダを有しており、例えば、*n*ビットのアドレスADDをデコードしてバンクイネーブル信号S3を発生するようになされる。バンクセクタ16は任意のメモリバンクのみを選択できる手段であれば何でもよい。

【0051】このバンクイネーブル信号S3は格納番号*i*を指定する信号である。*n*ビットのアドレスADDは上位のCPU(中央演算装置)等から供給するようになされる。このメモリバンク選択に係る*n*ビットのアドレスADDは電源断の状況に応じてCPUが自動的に生成して出力するが、ユーザインタフェースを通じて外部から入力してもよい。

【0052】バンクセクタ16には制御装置の一例となる履歴管理ユニット17が接続されており、SRAMデータDINを退避した格納番地*i*のメモリバンクの履歴を管理するようになされる。例えば、履歴管理ユニット17には書込みを行ったメモリバンクの格納番地*i*が記憶され、電源復帰時に読み出すバンクが前回退避した格納番地*i*となされる。

【0053】また、電源断の状態によって、例えば、停

電による瞬断等の場合に、SRAMデータDINの複写が不完全であることが予想され、前回退避したメモリバンクには不完全なデータが保持される確率が高くなる。このような場合に、前々回の退避データを読み出すような管理がなされる。

【0054】更に、SRAMデータDINの退避先を毎回変更することにより、メモリバンクを循環使用するようになされる。この結果、フラッシュメモリ12の書込み回数をメモリバンク数の分だけ、減少させることができる。

【0055】また、履歴管理ユニット17には制御端子18が接続されており、外部のCPU等と通信処理をするようになされる。データ復旧の対象バンクを任意に選択する際に制御情報DCを入力するためである。この制御情報DCに基づいて不完全な退避データに対してはアクセスしないようにすることができる。この例では最新にSRAMデータDINを退避したメモリバンクを選択するように、電源投入時に履歴管理ユニット17によってバンクセクタ16を制御するようになされる。

【0056】なお、蓄電手段の一例となる大容量のコンデンサは、図示しない電源部に接続され、電源瞬断時のSRAM11からフラッシュメモリ12へSRAMデータDINを退避させるために、電源が「断」されてから一定時間の電源電圧(動作電力)を賄うようになされる。

【0057】続いて、本発明に係る不揮発メモリ装置100のメモリ制御方法について説明をする。図4A及びBは通常の電源OFF/ON時の退避及び復帰動作例、図5A及びBは電源瞬断時の退避及びその後の復帰動作例を示すイメージ図である。

【0058】この実施例ではMビット(bit)のメモリ容量を有するSRAM11と、このSRAM11のN倍のメモリ容量を有するフラッシュメモリ12とを備えた不揮発メモリ装置100のメモリ制御をする場合を前提とする。このフラッシュメモリ12のメモリ領域はSRAM11のメモリ容量に対応してN個のメモリバンクに分割される。この不揮発メモリ装置100ではバンクセクタ16及び履歴管理ユニット17が備えられる。

【0059】また、通常の電源OFF時には、メモリコントローラ14がフラッシュメモリ12の格納番地、例えば、図4Aに示す格納番地#2を指定すると、SRAM11から格納番地#2のメモリバンクへSRAMデータDINが退避される。電源投入時は格納番地#2が前回の退避場所となる。

【0060】従って、電源投入(ON)時には、メモリコントローラ14が図4Bに示すフラッシュメモリ12の格納番地#2を指定するので、前回の退避場所である格納番地#2のメモリバンクからSRAM11へSRAMデータDINが読み出される(復帰処理)。

【0061】電源瞬断時には、メモリコントローラ14が通常の電源OFF時と同様にして、フラッシュメモリ

12の格納番地、例えば、図5Aに示す格納番地#2を指定するので、SRAM11から格納番地#2のメモリバンクへSRAMデータDINが退避される。電源投入時は格納番地#2が前回の退避場所となる。

【0062】この電源瞬断後の電源投入(ON)時には、メモリコントローラ14は図5Bに示すフラッシュメモリ12の格納番地#2以前、例えば、格納番地#1を指定するようにすれば、前々回の退避場所である格納番地#1のメモリバンクからSRAM11へ電源瞬断の影響を受けないSRAMデータDINを読み出すことができる。

【0063】電源瞬断時に退避されたSRAMデータDINは不完全な場合が予想されるからである。前回又は前々回・・・等のメモリバンクの選択はメモリバンク選択モードを設定することにより行われる。メモリバンク選択モードを設定した場合は、電源瞬断時等において、前回以前の格納番地等のメモリバンクを任意に選択できるようになる。メモリバンク選択モードを設定しない場合は前回退避して置いたSRAMデータDINを復帰するようになされる。

【0064】図6及び図7は不揮発メモリ装置100のメモリ制御例(その1、2)を示すフローチャートである。この例では通常の電源OFF/ON及び電源瞬断を監視し、この監視に基づいて前回又は前々回・・・等に退避して置いたSRAMデータDINを電源「断」の状況に応じて選択的に読み出す場合を想定する。

【0065】これをメモリ制御条件にして、まず、図6に示すフローチャートのステップB1で当該不揮発メモリ装置100を搭載した情報処理装置の電源が投入(ON)されるのを待つ。その後、ステップB2でメモリコントローラ14によってフラッシュメモリ12に対して書き込み不可モード及び書き込みモードが設定される。メモリバンク選択モードも設定される。メモリバンク選択モードは履歴管理ユニット17に設定される。

【0066】この書き込み不可モードが設定された場合は電源投入から電源断に至る間、フラッシュメモリ12へのSRAMデータDINの書き込みが禁止される。書き込みモードが設定された場合は、電源断の検知に基づいてフラッシュメモリ12へのSRAMデータDINの書き込みが行われる。そして、ステップB3に移行してN個のメモリバンクを循環使用するようにメモリコントローラ14によって格納番号#(i=1~N)を指定するようになされる。この循環使用は退避先のメモリバンクを毎回変更するためである。

【0067】その後、一方でステップB4に移行して通常の電源が「断」されたかを電源センサ15により監視される。通常の電源が「断」されると、電源オフ情報や電源検知信号S0がメモリコントローラ14へ出力される。通常の電源「断」はユーザによる手動スイッチSW0のオフ動作を検知することによって得られる。

【0068】この電源オフ情報や電源検知信号S0を入力したメモリコントローラ14ではステップB5に移行して、予め指定されている例えば、格納番号#2のメモリバンクへSRAMデータDINを退避するようになされる(図4A参照)。その後、ステップB6に移行して図示しないリレー式の電源スイッチSW1がメモリコントローラ14によってオフされる。

【0069】また、この例ではステップB4~ステップB6に並行してステップB7で電源瞬断を監視しているので、この電源瞬断を検知した場合には、ステップB8に移行して、予め指定されている格納番号#2のメモリバンクへSRAMデータDINを退避するようになされる(図5A参照)。

【0070】その後、ステップB9で電源が「投入」されたかを電源センサ15により監視するようになされる。ステップB9で電源が「投入」された場合は、ステップB10に移行してメモリバンク選択モードが設定されているかが履歴管理ユニット17によってチェックされる。

【0071】このメモリバンク選択モードが設定されていない場合はステップB12に移行して前回の格納番地#2のメモリバンクからSRAMデータDINを読み出してSRAM11に書き込むようになされる。これにより、前回退避した置いたSRAMデータDINをSRAM11に復帰させることができる。そして、ステップB7に移行して格納番号#2が「+1」された後に、ステップB3に戻る。その後は、エンドレスループに移行する。

【0072】また、ステップB10でメモリバンク選択モードが設定されている場合は、ステップB11に移行して前回又は前々回のメモリバンクを選択するかがチェックされる。電源瞬断等において、前々回のメモリバンクを選択する場合はステップB13へ移行する。ステップB13では前々回の格納番地#1のメモリバンクからSRAMデータDINを読み出してSRAM11に書き込むようになされる。これにより、前々回退避した置いたSRAMデータDINをSRAM11に復帰させることができる。

【0073】そして、ステップB14に移行して格納番号#1が「+1」された後に、ステップB3に戻る。なお、電源瞬断等における前回のメモリバンクは次回退避時にデータ一括消去が行われる。前回退避したメモリバンクには不完全なSRAMデータDINが保持されている確率が高いためである。その後、エンドレスループに移行する。

【0074】このように、本発明に係る実施例としての不揮発メモリ装置100及びそのメモリ制御方法によれば、N個に分割されたメモリバンクを循環使用するようにメモリコントローラ14により指定されると、電源断時のSRAM11に記憶されたSRAMデータDINが指

定された格納番地# iのメモリバンクに退避するようになされる。

【0075】従って、電源断又は電源投入に基づいてSRAM11及びフラッシュメモリ12の間でSRAMデータDINの書き込み読み出し制御をすることができる。これにより、SRAM11のSRAMデータDINを退避する先のメモリバンクを電源断に従って毎回変更することができる。

【0076】また、同じ格納番地# iのメモリバンクを連続して使用することが回避できるので、フラッシュメモリ12の書き込み回数を見かけ上N倍に増やすことができ、従来方式に比べて不揮発メモリ装置100の寿命を実質的に長く延ばすことができる。

【0077】因みにフラッシュメモリ12の書き込み回数上限を10万回とし、SRAM11の4倍のメモリ容量を有するフラッシュメモリ12を準備し、このフラッシュメモリ12を4個のメモリバンクに分割して書き込み読み出し処理する場合、書き込み回数は40万回になるので、従来方式に比べて寿命を4倍に延ばすことができる。

【0078】しかも、前回の電源断の状況によって前々回の退避したSRAMに復帰させることができる。また、前回の電源断の状況によって過去に退避した任意のメモリバンクのSRAMデータDINをSRAM11に復帰させることができる。SRAMデータDINのバックアップに関して電源を常時必要としない不揮発メモリ装置100を構成できる。

【0079】この実施例では電源センサ15がチップ内部に設けられる場合について説明したが、これに限られることはなく、当該不揮発メモリ装置外のCPUに電源検知機能を持たせ、手動スイッチSW0のオフ動作を検知して電源オフ情報を得るものであってもよい。

【0080】その場合には、手動スイッチSW0の出力をCPUに接続し、このスイッチSW0のオフ動作を直接、CPUで検知して電源オフ情報を得るようになされる。メモリコントローラ14ではCPUからの電源オフ情報を受信し、その検出時刻に遅れてSRAMデータDINを退避させてから、図1に示したような電源スイッチSW1を実際にオフさせることができる。この遅れ時間を利用してSRAMデータDINをもれなく退避させることができる。

【0081】

【発明の効果】以上説明したように、本発明に係る不揮発性記憶装置によれば、電源断又は電源投入に基づいて揮発性の第1の記憶装置及び不揮発性の第2の記憶装置の間で情報の書き込み読み出し制御をするメモリ制御装置を備え、このメモリ制御装置は第2の記憶装置のメモリ領域が第1の記憶装置のメモリ容量に対応したN個のメモリブロック領域に分割される場合であって、この分割されたN個のメモリブロック領域を循環するように指定して電源断時の第1の記憶装置に記憶された情報を指定さ

れたメモリブロック領域に退避させるものである。

【0082】この構成によって、第1の記憶装置に記憶された情報を退避させる先の不揮発性の記憶装置のメモリブロック領域を電源断に従って毎回変更することができる。しかも、その特定のメモリブロック領域を連続して使用することが回避できるので、第2の記憶装置の書き込み回数を見かけ上N倍に増やすことができ、従来方式に比べて不揮発性記憶装置の寿命を長く延ばすことができる。

【0083】本発明に係る不揮発性記憶装置のメモリ制御方法によれば、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能な揮発性の第1の記憶装置と、この第1の記憶装置のN倍のメモリ容量を有すると共に、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発性の第2の記憶装置とを備えた不揮発性記憶装置のメモリ制御をする場合に、第2の記憶装置のメモリ領域を第1の記憶装置のメモリ容量に対応してN個のメモリブロック領域に分割し、ここで分割したN個のメモリブロック領域を循環使用するように指定し、電源断時の第1の記憶装置に記憶された情報を指定したメモリブロック領域に退避するようになされる。

【0084】この構成によって、電源断又は電源投入に基づいて第1及び第2の記憶装置の間で情報の書き込み読み出し制御をすることができる。しかも、第1の記憶装置に記憶された情報を退避する先の不揮発性の記憶装置のメモリブロック領域を電源断に従って毎回変更することができる。また、その特定のメモリブロック領域を連続して使用することが回避できるので、第2の記憶装置の書き込み回数を見かけ上N倍に増やすことができ、従来方式に比べて不揮発性記憶装置としての寿命を実質的に長く延ばすことができる。

【0085】この発明は、記憶保持用の電源が供給される間は情報の随時書き込み読み出しが可能で、しかも、全ビットあるいはブロック単位に情報の一括消去が可能で、かつ、情報のプログラムが可能な不揮発メモリ装置に適用して極めて好適である。

【図面の簡単な説明】

【図1】本発明に係る実施形態としての不揮発性記憶装置10の構成例を示すブロック図である。

【図2】不揮発性記憶装置10のメモリ制御例を示すフローチャートである。

【図3】本発明に係る実施例としてのワンチップ型の不揮発メモリ装置100の構成例を示すブロック図である。

【図4】A及びBは通常の電源OFF、ON時の退避及び復帰動作例を示すイメージ図である。

【図5】A及びBは電源瞬断時の退避及びその後の復帰動作例を示すイメージ図である。

【図6】不揮発メモリ装置100のメモリ制御例（その

1) を示すフローチャートである。

【図7】不揮発メモリ装置100のメモリ制御例（その2）を示すフローチャートである。

【符号の説明】

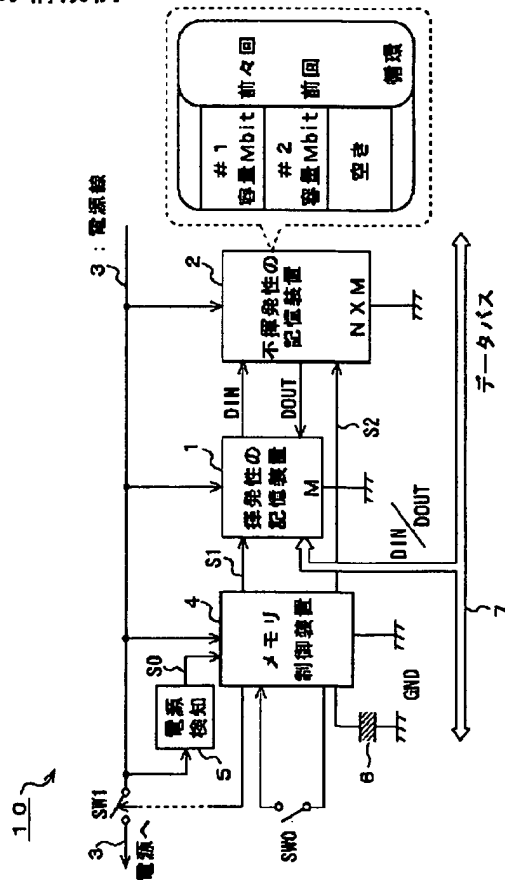
- 1 第1の記憶装置
- 2 第2の記憶装置
- 4 メモリ制御装置
- 5 電源検知手段
- 6 蓄電手段

- 10 不揮発性記憶装置
- 11 SRAM（第1の記憶装置）
- 12 フラッシュEEPROM（フラッシュメモリ：第2の記憶装置）
- 14 メモリコントローラ（メモリ制御装置）
- 15 電源電圧変動検知センサ（電源検知手段）
- 16 バンクセクタ（ブロック選択手段）
- 17 履歴管理ユニット（制御装置）
- 100 不揮発メモリ装置

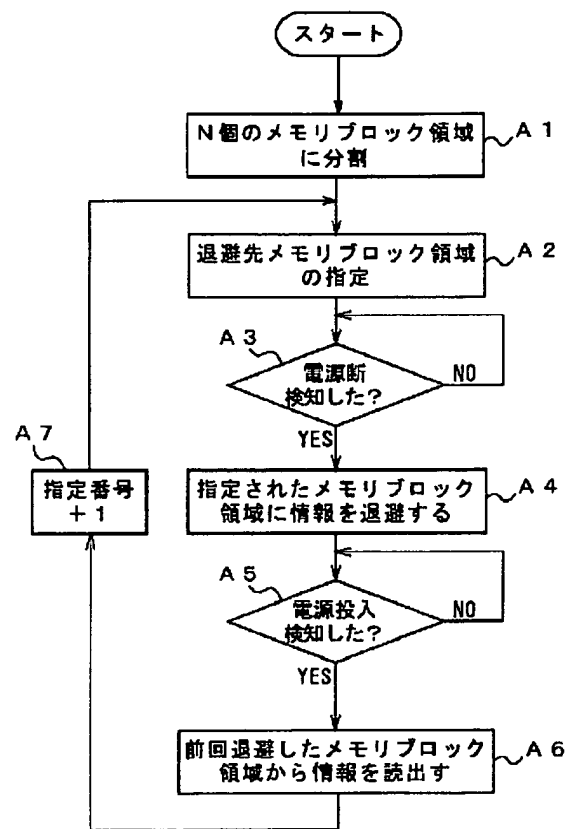
【図1】

【図2】

実施形態としての不揮発性記憶装置10の構成例



不揮発性記憶装置10のメモリ制御例

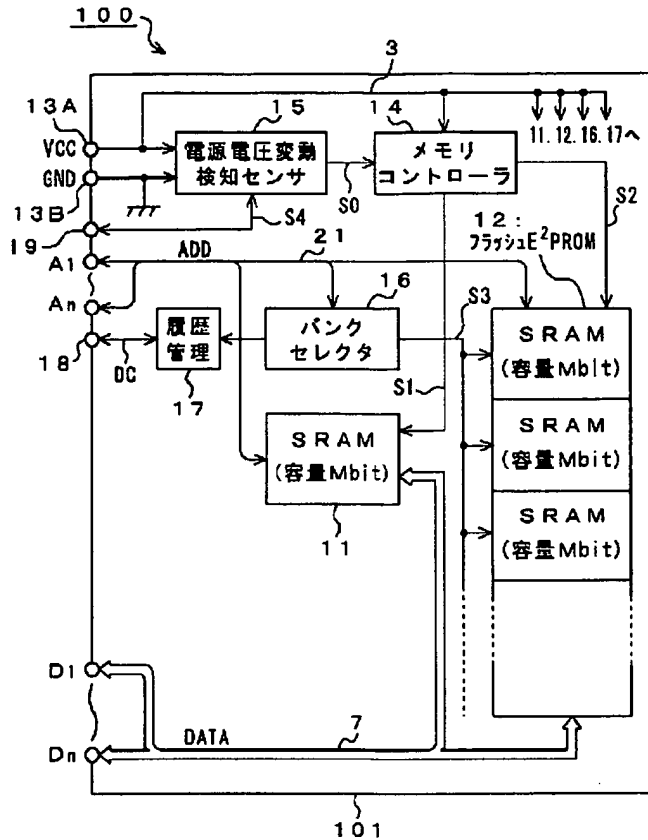


【図3】

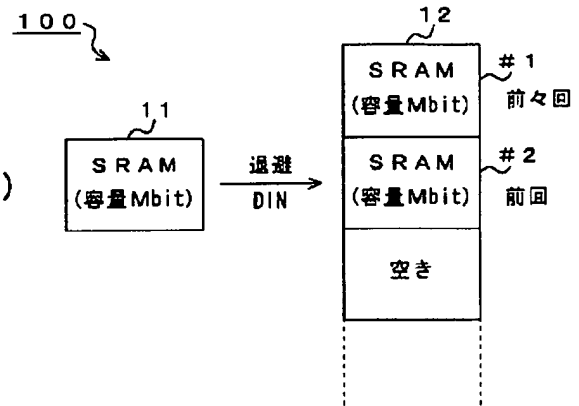
【図4】

実施例としてのワンチップ型の不揮発メモリ装置100の構成例

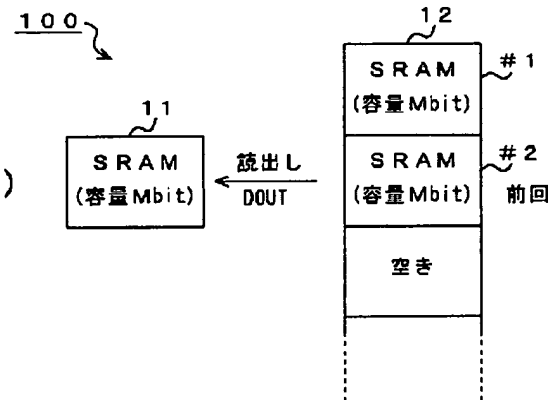
通常電源OFF/ON時の退避及び復帰動作例



(A)

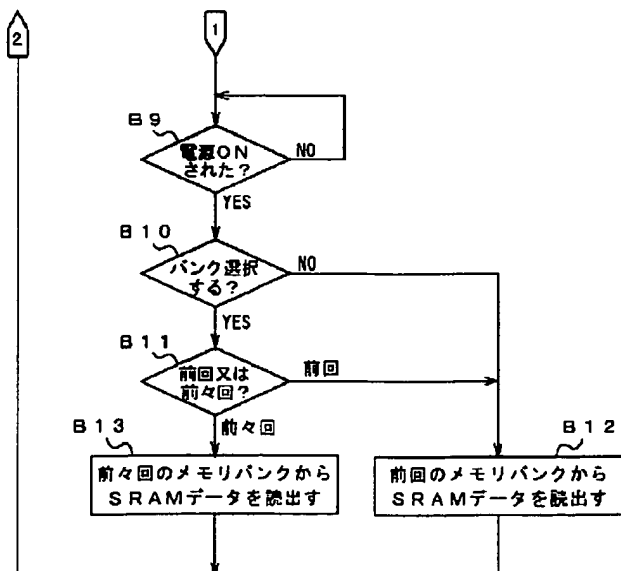


(B)



【図7】

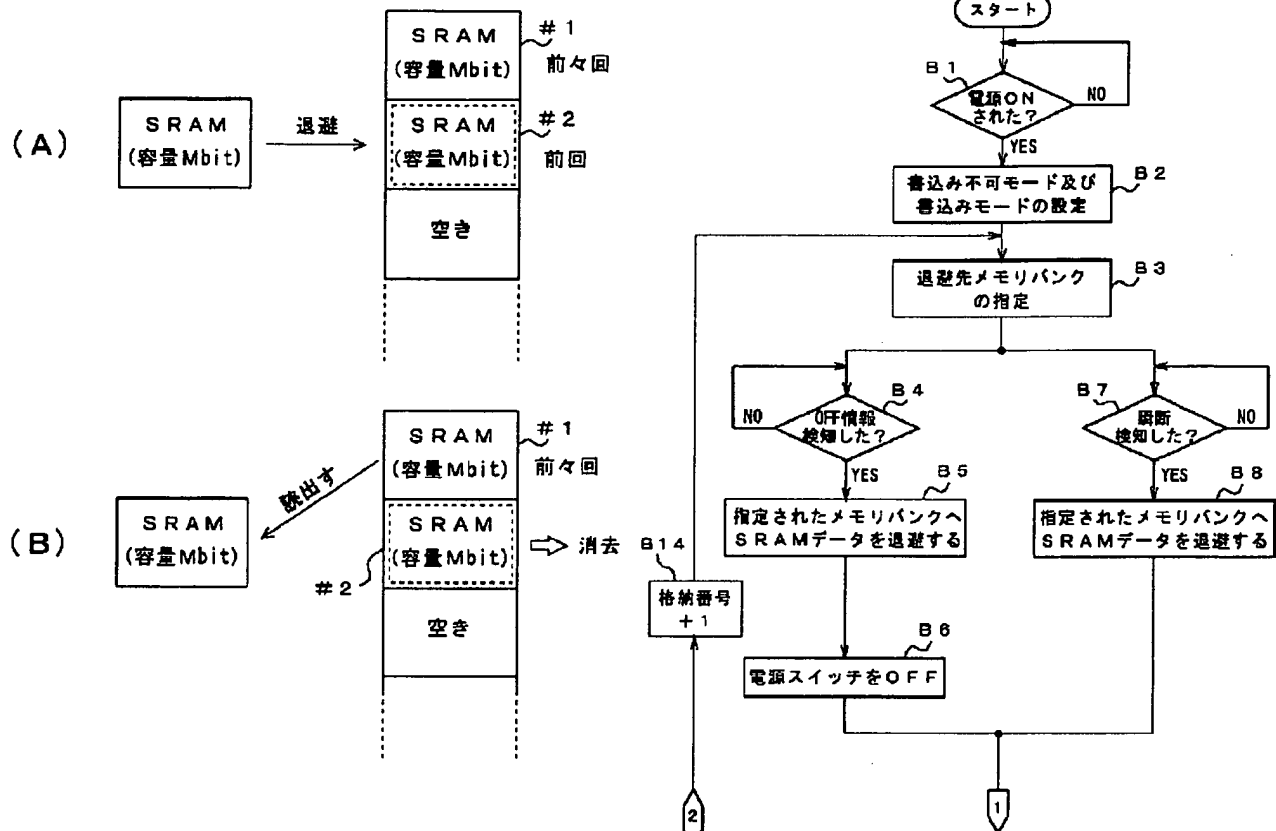
不揮発メモリ装置100のメモリ制御例(その2)



【図5】

【図6】

電源瞬断時の退避及びその後の復帰動作例 不揮発メモリ装置100のメモリ制御例(その1)



フロントページの続き

Fターム(参考) 5B018 GA04 HA23 LA01 NA03 NA06
5B025 AD01 AE08
5B082 CA02 JA06